

## SEMICONDUCTOR PACKAGE AND ITS MOUNTING STRUCTURE

Patent Number: JP11186492

Publication date: 1999-07-09

Inventor(s): KIMIJIMA SUSUMU

Applicant(s): TOSHIBA CORP

Requested Patent:  JP11186492

Application Number: JP19970353500 19971222

Priority Number(s):

IPC Classification: H01L25/10; H01L25/11; H01L25/18; H01L23/12

EC Classification:

Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To provide a semiconductor package wherein, even when semiconductor packages of the same structure are laminated for mounting, specified terminals or the IC connected in the packages are separately inputted/outputted.

**SOLUTION:** Rear surface terminals 14a-14g provided at a package main body 11 of a resin sealing a memory IC16, and surface terminals 12a and 12g are provided. The rear surface terminals 14a and 14b are electrically connected, as pair, to the surface terminals 12a and 12b through the memory IC18 to constitute a first signal circuit, the rear surface terminal 14d is electrically connected, as pair, to the rear surface terminal 12c with no memory IC16 inbetween to constitute a second signal circuit, and the rear surface terminal 14c except for the first and second signal circuits is electrically connected to the memory IC16 to constitute a third signal circuit.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186492

(43) 公開日 平成11年(1999)7月9日

(51) Int.Cl.<sup>6</sup>  
H01L 25/10  
25/11  
25/18  
23/12

識別記号

F I  
H01L 25/14  
23/12

Z  
L

審査請求 未請求 請求項の数 11 O L (全 7 頁)

(21) 出願番号 特願平9-353500

(22) 出願日 平成9年(1997)12月22日

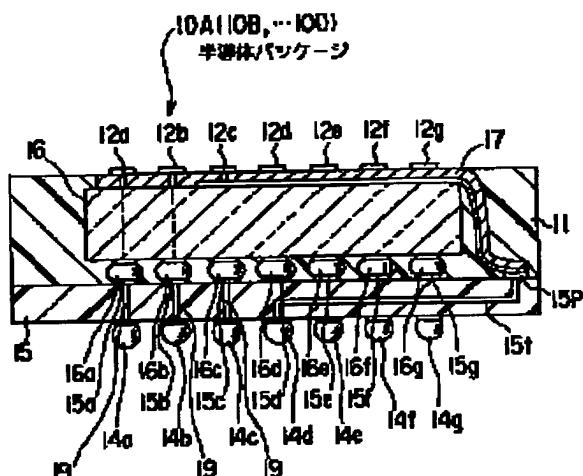
(71) 出願人 000003078  
株式会社東芝  
神奈川県川崎市幸区堀川町72番地  
(72) 発明者 君島 進  
神奈川県横浜市磯子区新磯子町33番地 株  
式会社東芝生産技術研究所内  
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】半導体パッケージ及び半導体パッケージの実装構造

(57) 【要約】

【課題】同一構造を有する半導体パッケージを積層して実装する場合であっても、各パッケージ内に接続されたICの所定の端子を独立して入出力させることができる半導体パッケージを提供すること。

【解決手段】メモリIC16を封止する樹脂からなるパッケージ本体11に設けられた裏面端子14a～14gと、表面端子12a～12gとを具備し、裏面端子14a、14bはメモリIC16を介して表面端子12a、12bに一対ずつ電気的に接続されて第1信号回路をなし、且つ、裏面端子14dはメモリIC16を介さずして表面端子12cに一対ずつ電気的に接続されて第2信号回路をなし、且つ、第1信号回路及び第2信号回路以外の裏面端子14cはメモリIC16に電気的に接続され第3信号回路をなしている。



## 【特許請求の範囲】

【請求項 1】半導体チップと、

前記半導体チップを封止する樹脂からなる本体部と、  
前記本体部の一方の主面に設けられた複数の第 1 の端子  
と、

前記本体部の他方の主面に設けられた複数の第 2 の端子  
とを具備し、

前記複数の第 1 の端子から選択された少なくとも 1 個の  
第 1 の端子は前記半導体チップを介して前記第 2 の端子  
に一対ずつ電気的に接続されて第 1 信号回路をなし、且  
つ、前記第 1 信号回路以外の第 1 の端子から選択され  
た複数の第 1 の端子は前記半導体チップを介さずして前記  
第 2 の端子に一対ずつ電気的に接続されて第 2 信号回路をなし、且  
つ、前記第 1 信号回路及び前記第 2 信号回路以外の前記第 1 の端子のうち少なくとも 1 個は前記半導  
体チップに電気的に接続され第 3 信号回路をな  
していることを特徴とする半導体パッケージ。

【請求項 2】前記第 2 信号回路は、フレキシブル基板に  
より形成されていることを特徴とする請求項 1 に記載の半  
導体パッケージ。

【請求項 3】前記第 2 信号回路は、リードフレームによ  
り形成されていることを特徴とする請求項 1 に記載の半  
導体パッケージ。

【請求項 4】前記第 3 信号回路は、前記半導体チップに  
制御信号を印加するためのものであることを特徴とする  
請求項 1 に記載の半導体パッケージ。

【請求項 5】前記第 2 の端子は、前記第 1 信号回路をな  
す第 1 の端子及び前記第 2 信号回路をなす第 1 の端子の  
両方に電気的に接続されていることを特徴とする請求項  
1 に記載の半導体パッケージ。

【請求項 6】前記第 1 の端子は基板に突設されたバンプ  
電極であり、前記基板の前記バンプ電極が突設された面  
に対して反対側の面には前記半導体チップが取付けられ  
ていることを特徴とする請求項 1 に記載の半導体パッケ  
ージ。

【請求項 7】前記各第 1 信号回路をなす前記第 1 の端子  
及び前記第 2 の端子は、前記本体部の主面に直角方向に  
透視した際に、重なる位置に配置されていることを特徴  
とする請求項 1 に記載の半導体パッケージ。

【請求項 8】前記各第 2 信号回路をなす前記第 1 の端子  
及び前記第 2 の端子は、前記本体部の主面に直角方向に  
透視した際に、各別に重ならない位置に配置されている  
ことを特徴とする請求項 1 に記載の半導体パッケージ。

【請求項 9】半導体チップと、

前記半導体チップを封止する樹脂からなる本体部とを具  
備する半導体パッケージを複数個積層してなる半導体パ  
ッケージの実装構造において、

前記半導体パッケージは、

前記本体部の一方の主面に設けられた複数の第 1 の端子  
と、

前記本体部の他方の主面に設けられた複数の第 2 の端子  
とを具備し、

前記複数の第 1 の端子から選択された少なくとも 1 個の  
第 1 の端子は前記半導体チップを介して前記第 2 の端子  
に一対ずつ電気的に接続されて第 1 信号回路をなし、且  
つ、前記第 1 信号回路以外の第 1 の端子から選択され  
た複数の第 1 の端子は前記半導体チップを介さずして前記  
第 2 の端子に一対ずつ電気的に接続されて第 2 信号回路  
をなし、且つ、前記第 1 信号回路及び前記第 2 信号回路  
以外の前記第 1 の端子のうち少なくとも 1 個は前記半導  
体チップに電気的に接続され第 3 信号回路をなし、

前記積層された複数個の半導体パッケージは、隣接する  
互いの前記第 1 の端子と前記第 2 の端子とが接合されて  
前記各半導体パッケージの前記第 1 信号回路及び前記第  
2 信号回路どうしが電気的に接続されているとともに、  
前記各半導体パッケージの第 2 信号回路の内少なくとも  
1 本は隣接する前記半導体パッケージの前記第 3 信号回  
路に電気的に接続されていることを特徴とする半導体パ  
ッケージの実装構造。

【請求項 10】前記第 1 信号回路は、前記各半導体パッ  
ケージとの間で同時に入出力される共通信号の導通路  
であることを特徴とする請求項 9 記載の半導体パッケー  
ジの実装構造。

【請求項 11】前記第 2 信号回路は、前記各半導体パッ  
ケージとの間で、前記第 3 信号回路を介して、選択的に  
入出力される信号の導通路であることを特徴とする請求  
項 9 記載の半導体パッケージの実装構造。

## 【発明の詳細な説明】

## 【0001】

30 【発明の属する技術分野】本発明は、情報機器等に搭載  
される半導体パッケージ及び半導体パッケージを多段に  
積み重ねて高密度に実装する半導体パッケージの実装構  
造に関し、特に小型化を図れるものに関する。

## 【0002】

【従来の技術】最近の情報機器等では、高機能化を図る  
ため同種の半導体 IC を多数用いるメモリー IC 等の半  
導体 IC が占有するマザーボード（基板）の面積の割合  
が大きく、基板面積が大きくなる要因となっている。

【0003】このため、卓上型のパソコンやワークステ  
ーションでは、図 6 に示すように、これらの半導体 IC  
1 を小型のドーターボード 2 上に実装し、このドーター  
ボード 2 をマザーボード 3 上に垂直に立てて搭載する方  
法等が考案され、マザーボード 3 の面積を縮小化し、機  
器を小型化するようにしていた。

【0004】一方、情報機器のうち携帯電話、ノート型  
パソコン等の携帯に用いられるものでは、携帯性の向上  
を図るために上述したような方法をとることができな  
い。このため、例えば図 7 に示すように表面と裏面に端  
子を有する同一構造の半導体パッケージを積層して実装  
50 することが行われている。すなわち、上側の半導体パッ

3

ケージ 4 の裏面の端子 4 b と、下側の半導体パッケージ 5 の表面の端子 5 a とが接続されるため、基板を用いることなく、最短距離で半導体パッケージ 4, 5 同士を接続することができる。なお、端子 4 a と端子 4 b 及び端子 5 a と端子 5 b とは半導体パッケージ内部で接続されている。また、図 7 中 6 は例えばメモリ IC 等の半導体 IC を示している。

#### 【0005】

【発明が解決しようとする課題】上記した従来の半導体パッケージ 4, 5 を用いた実装構造では、次のような問題があった。例えば、半導体パッケージ 4 の端子 4 b がパッケージ内部のメモリ IC 6 を制御するための端子である場合、同一構造を有する半導体パッケージ 5 を重ねて実装すると、上側の半導体パッケージ 4 の制御信号と下側の半導体パッケージ 5 の制御信号 A が共に端子 5 a に接続されることとなる。このため、単純に 2 つの半導体パッケージ 4, 5 を重ねて実装すると、本来独立でなければならない制御信号が互いに接続されて機能しなくなる。

【0006】したがって、半導体パッケージ 4 の端子 4 b は半導体パッケージ 5 の端子 5 a に接続せず、基板にジャンパ線を介して接続するか、同じメモリ IC 6 でありながら制御信号の端子位置を変更した数種類の半導体チップを製作する必要があった。このため、コストが高くなったり、小型化が困難になる等の問題があった。

【0007】そこで、本発明は同一構造を有する半導体パッケージを積層して実装する場合であっても、各パッケージ内に接続された IC の所定の端子を独立して入出力させることができる半導体パッケージ及び半導体パッケージの実装構造を提供することを目的としている。

#### 【0008】

【課題を解決するための手段】上記課題を解決し目的を達成するために、請求項 1 に記載された発明は、半導体チップと、前記半導体チップを封止する樹脂からなる本体部と、前記本体部の一方の主面に設けられた複数の第 1 の端子と、前記本体部の他方の主面に設けられた複数の第 2 の端子とを具備し、前記複数の第 1 の端子から選択された少なくとも 1 個の第 1 の端子は前記半導体チップを介して前記第 2 の端子に一対ずつ電気的に接続されて第 1 信号回路をなし、且つ、前記第 1 信号回路以外の第 1 の端子から選択された複数の第 1 の端子は前記半導体チップを介さずして前記第 2 の端子に一対ずつ電気的に接続されて第 2 信号回路をなし、且つ、前記第 1 信号回路及び前記第 2 信号回路以外の前記第 1 の端子のうち少なくとも 1 個は前記半導体チップに電気的に接続され第 3 信号回路をなしている。

【0009】請求項 2 に記載された発明は、請求項 1 に記載された発明において、前記第 2 信号回路は、フレキシブル基板により形成されている。請求項 3 に記載された発明は、請求項 1 に記載された発明において、前記第

2 信号回路は、リードフレームにより形成されている。

【0010】請求項 4 に記載された発明は、請求項 1 に記載された発明において、前記第 3 信号回路は、前記半導体チップに制御信号を印加するためのものである。請求項 5 に記載された発明は、請求項 1 に記載された発明において、前記第 2 の端子は、前記第 1 信号回路をなす第 1 の端子及び前記第 2 信号回路をなす第 1 の端子の両方に電気的に接続されている。

【0011】請求項 6 に記載された発明は、請求項 1 に記載された発明において、前記第 1 の端子は基板に突設されたバンプ電極であり、前記基板の前記バンプ電極が突設された面に対して反対側の面には前記半導体チップが取付けられている。

【0012】請求項 7 に記載された発明は、請求項 1 に記載された発明において、前記各第 1 信号回路をなす前記第 1 の端子及び前記第 2 の端子は、前記本体部の主面に直角方向に透視した際に、重なる位置に配置されている。

【0013】請求項 8 に記載された発明は、請求項 1 に記載された発明において、前記各第 2 信号回路をなす前記第 1 の端子及び前記第 2 の端子は、前記本体部の主面に直角方向に透視した際に、各別に重ならない位置に配置されている。

【0014】請求項 9 に記載された発明は、半導体チップと、前記半導体チップを封止する樹脂からなる本体部とを具備する半導体パッケージを複数個積層してなる半導体パッケージの実装構造において、前記半導体パッケージは、前記本体部の一方の主面に設けられた複数の第 1 の端子と、前記本体部の他方の主面に設けられた複数の第 2 の端子とを具備し、前記複数の第 1 の端子から選択された少なくとも 1 個の第 1 の端子は前記半導体チップを介して前記第 2 の端子に一対ずつ電気的に接続されて第 1 信号回路をなし、且つ、前記第 1 信号回路以外の第 1 の端子から選択された複数の第 1 の端子は前記半導体チップを介さずして前記第 2 の端子に一対ずつ電気的に接続されて第 2 信号回路をなし、且つ、前記第 1 信号回路及び前記第 2 信号回路以外の前記第 1 の端子のうち少なくとも 1 個は前記半導体チップに電気的に接続され第 3 信号回路をなし、前記積層された複数個の半導体パッケージは、隣接する互いの前記第 1 の端子と前記第 2 の端子とが接合されて前記各半導体パッケージの前記第 1 信号回路及び前記第 2 信号回路どうしが電気的に接続されているとともに、前記各半導体パッケージの第 2 信号回路の内少なくとも 1 本は隣接する前記半導体パッケージの前記第 3 信号回路に電気的に接続されている。

【0015】請求項 10 に記載された発明は、請求項 9 に記載された発明において、前記第 1 信号回路は、前記各半導体パッケージとの間で同時的に入出力される共通信号の導通路である。

50 【0016】請求項 11 に記載された発明は、請求項 9

に記載された発明において、前記第2信号回路は、前記各半導体パッケージとの間で、前記第3信号回路を介して、選択的に出入力される信号の導通路である。

【0017】

【発明の実施の形態】図1は、本発明の一実施の形態に係る半導体パッケージの実装構造を模式的に示す図である。図1中10A～10Dは同一種類の半導体パッケージ、20は別の種類の半導体パッケージ、30はプリント基板を示している。

【0018】半導体パッケージ10A～10Dは同一構造であるので、半導体パッケージ10Aについてのみ説明し、他の半導体パッケージ10B～10Dについては同一機能部分には同一符号を付しその詳細な説明は省略する。半導体パッケージ10Aは、後述するメモリIC16を封止する例えばエポキシ樹脂等からなるパッケージ本体11と、このパッケージ本体11の表面に設けられた表面端子12a～12gと、裏面に設けられたバンプ電極をなす裏面端子14a～14gとを備えている。表面端子12a～12gと裏面端子14a～14gとはそれぞれパッケージ本体11を積層方向に透視した際に重なる位置に配置されている。

【0019】表面端子12aと裏面端子14aとは接続され、かつ、メモリIC16の端子16aと接続されている。また、表面端子12bと裏面端子14bとは接続され、メモリIC16のデータ信号用の端子16bと接続されている。これら表面端子12a、12b及び裏面端子14a、14bは、第1信号回路を形成している。

【0020】さらに、表面端子12cは、メモリIC16に接続されて第3信号回路を形成している。同様に表面端子12dと裏面端子14e、表面端子12eと裏面端子14fと、表面端子12fと裏面端子14gとが接続されて第2信号回路を形成しているとともに、パッケージ本体11を積層方向に透視した際に重ならない位置に配置されている。

【0021】図2は半導体パッケージ10A(10B～10D)の内部構造を示す図である。すなわち、パッケージ本体11内には配線基板15と、メモリIC(半導体IC)16と、フレキシブル基板17とが配置されている。

【0022】例えばガラスエポキシ樹脂製の配線基板15には、表面に端子15a～15g、裏面には上述したバンプ電極である裏面端子14a～14gが設けられている。そして、端子15a～15bは、基板15に設けられたバイヤ(Via)19を介して、端子14a～14cに接続されている。また、配線基板15の表面に接続部15pが設けられている。端子15cと端子14cとは配線基板15内部で接続されている。また、接続部15pと端子14dとは配線基板15内部のバイヤ15tを介して接続されている。

【0023】メモリIC16には、裏面にバンプ電極で

ある端子16a～16gが設けられており、表面には後述するフレキシブル基板17の裏面が接着剤(不図示)を介して接着されている。なお、端子16a～16bはロジック信号やデータ信号等の各半導体パッケージ10A～10Dにおいて必要とする共通信号用の端子、端子16cはICを選択する等の制御信号用の端子である。

【0024】なお、端子16d～16gは、この実施形態においては、遊び端子となっている(任意に、端子16a～16cと同様の機能をもたせることができる)。

- 10 フレキシブル基板17には、表面に上述した表面端子12a～12gが形成されるとともに、裏面には配線基板15の接続部15pにそれぞれ接続された接続部17pが設けられている。フレキシブル基板17は、表面端子12c～12fを接続部17pを介して裏面端子14d～14gに接続している。また、第1信号回路をなす端子14a、14bは、メモリIC16内部及びフレキシブル基板17を介して、直接、表面端子12a、12bに接続されている。なお、図1では表面端子12dと裏面端子14dとの接続についてのみ示している。

- 20 【0025】メモリIC16の各端子16a～16gと配線基板15の各端子15a～15gとは接続されている。プリント基板30は、端子31a～31gと、端子31aに接続されたロジック回路32と、端子31bに接続されたデータ回路33と、端子31c～31gに接続された制御回路34とに接続されている。

【0026】半導体パッケージ10Aの裏面端子14a～14gはプリント基板30の端子31a～31gに接続され、表面端子12a～12gは半導体パッケージ10Bの裏面端子14a～14gに接続されている。

- 30 【0027】同様に半導体パッケージ10Bの表面端子12a～12gは半導体パッケージ10Cの裏面端子14a～14gに接続され、半導体パッケージ10Cの表面端子12a～12gは半導体パッケージ10Dの裏面端子14a～14gに接続されている。

- 【0028】一方、半導体パッケージ10Dの表面端子12a～12gは半導体パッケージ20の裏面端子22a～22gに接続されている。このように構成された半導体パッケージ10A～10D、20をプリント基板30に積層して実装した場合の信号の流れは次のようなものとなる。すなわち、半導体パッケージ20のロジックICの信号は裏面端子22aから半導体パッケージ10Dの表面端子12a、裏面端子14a、半導体パッケージ10Cの表面端子12a、裏面端子14a、半導体パッケージ10Bの表面端子12a、裏面端子14a、半導体パッケージ10Aの表面端子12a、裏面端子14aを通過し、プリント基板30の端子31aを介してロジック回路32に到達する。もちろん、ロジック回路32からの出力信号も同一経路で印加される。

- 50 【0029】また、半導体パッケージ10DのメモリIC16のデータ信号は、裏面端子14bから半導体パッ

ケージ 10 C の表面端子 12 b、裏面端子 14 b、半導体パッケージ 10 B の表面端子 12 b、裏面端子 14 b、半導体パッケージ 10 A の表面端子 12 b、裏面端子 14 b を通過し、プリント基板 30 の端子 31 b を介してデータ回路 33 に到達する。もちろん、データ回路 33 からの出力信号も同様の経路で印加される。また、半導体パッケージ 10 C のメモリ IC 16 のデータ信号は、裏面端子 14 b から半導体パッケージ 10 B の表面端子 12 b、裏面端子 14 b、半導体パッケージ 10 A の表面端子 12 b、裏面端子 14 b を通過し、プリント基板 30 の端子 31 b を介してデータ回路 33 に到達する。同様にして半導体パッケージ 10 B、10 A の各メモリ IC 16 のデータ信号もデータ回路 33 に到達する。もちろん、データ回路 33 からの出力信号も同様の経路で印加される。

【0030】一方、半導体パッケージ 10 A を選択させるための制御信号は、制御回路 34 から、端子 31 c、端子 14 c 及び端子 16 c を介して、メモリ IC 16 に印加される。また、半導体パッケージ 10 B を選択させるための制御信号は制御回路 34 から、端子 31 d、半導体パッケージ 10 A の端子 15 p、12 c を経由し、半導体パッケージ 10 B の端子 14 c に入力し、この半導体パッケージ 10 B のメモリ IC 16 が選択される。さらに、半導体パッケージ 10 C の制御信号は、制御回路 34 から端子 31 e、半導体パッケージ 10 A の端子 14 e、15 p、12 d 及び半導体パッケージ 10 B の端子 14 d、15 p、12 c を介して、半導体パッケージ 10 C の端子 14 c に入力し、この半導体パッケージ 10 C の IC メモリ 16 が選択される。さらにまた、半導体パッケージ 10 D を選択させるための制御信号は、制御回路 34 から、端子 31 f、半導体パッケージ 10 A の端子 14 f、15 p、12 e 及び半導体パッケージ 10 B の端子 14 e、15 p、12 d 及び半導体パッケージ 10 C の端子 14 d、15 p、12 c を介して、半導体パッケージ 10 D の端子 14 c に入力し、この半導体パッケージ 10 D の IC メモリ 16 が選択される。同様にして、半導体パッケージ 20 の IC メモリ 16 も選択される。

【0031】すなわち、データ信号のように異なるメモリ IC 16 の端子 16 b に同種の信号が入出力されてもよい場合には、各半導体パッケージ 10 A ~ 10 D の裏面端子 14 b はプリント基板 30 の同一の端子 31 b に接続されることとなる。

【0032】一方、各メモリ IC を選択するための制御信号の場合には、隣接する半導体パッケージ内において裏面端子 14 c から裏面端子 14 d へ、裏面端子 14 d から裏面端子 14 e へ、裏面端子 14 e から裏面端子 14 f へ、それぞれシフトされることとなる。このため、半導体パッケージ 10 A ~ 10 D の各メモリ IC 16 の制御信号はそれぞれプリント基板 30 の端子 31 c ~ 3

1 f に異なる信号をプリント制御回路 34 から入出力させることができる。

【0033】したがって、本来独立でなければならない制御信号が互いに接続されて機能しなくなることを避けることができる。このため、同一構造の半導体パッケージを単純に重ねて実装するだけで対応できる。

【0034】図 3 及び図 4 は端子をシフトさせるための半導体パッケージの構造についての変形例を示す図である。図 3 に示すように半導体パッケージ 40 は、基本配線構造は、図 2 と同じであり、ガラスエポキシ樹脂製またはセラミック製のリジッド基板 41 に半導体 IC 42 がフリップチップ接続されている。リジッド基板 41 には下面入出力端子 43 a ~ 43 e が形成されている。また、上面入出力端子 44 a ~ 44 e を形成したフレキシブル基板 45 が半導体 IC 42 より外周部でリジッド基板 41 に接続されている。フレキシブル基板 45 の他端は半導体 IC 42 の上に固定されている。また、図 3 中 46 はリジット基板 41 上の配線を示している。上面入出力端子 44 b ~ 44 e はフレキシブル基板 45 及びこのフレキシブル基板 45 表面に設けられた配線 46 を介して下面入出力端子 43 a ~ 43 f に接続されている。下面入出力端子 43 a ~ 43 f は、基板 41 の内部に設けられたビア (Via) 49 を介して配線 46 に電気的に接続されている。なお、下面入出力端子 43 a ~ 43 e は、バンプ電極であってもよい。

【0035】このように構成された半導体パッケージ 40 は、表面に設けられた配線 46 を介して接続するよう正在しているので、図 2 の半導体パッケージよりも製造が容易で、製造コストが安くなる利点を有している。

【0036】さらに、図 4 に示すように半導体パッケージ 50 は、基本配線構造は、図 2 と同じであり、ガラスエポキシ樹脂製またはセラミック製のリジッド基板 51 に半導体 IC 52 がワイヤボンディングされている。リジッド基板 51 には下面入出力端子 53 a ~ 53 e が形成されており、ワイヤボンディングを含む半導体 IC 52 の高さより高く成形されたリードフレーム 54 a ~ 54 e (54 b は不図示) がリジット基板 51 の内部に設けられたバイヤ (Via) 59 を介してそれぞれ下面入出力端子 53 a ~ 53 e に接続されている。なお、下面入出力端子 53 a ~ 53 e は、バンプ電極であってもよい。

【0037】リードフレーム 54 a ~ 54 e の先端は、例えばポッティングで形成されたパッケージ本体 55 の上面に露出して、上面入出力端子 56 a ~ 56 e を形成している。

【0038】このように構成された半導体パッケージ 50 を積層して実装することにより、上述した実施の形態と同様の効果を得ることができる。図 5 は、表面端子と裏面端子との接続の変形例を示す概念図である。すなわち、半導体パッケージ 60 は、パッケージ本体 61 を備

え、表面端子62a～62f及び裏面端子63a～63fが設けられている。表面端子62aと裏面端子63a、表面端子62bと裏面端子63b、表面端子62cと裏面端子63c、63d、表面端子62eと裏面端子63f、表面端子62fと裏面端子63fがそれぞれ接続されている。すなわち、このような半導体パッケージ60を積層して実装することにより、上述した実施の形態と同様の効果を得ることができる。

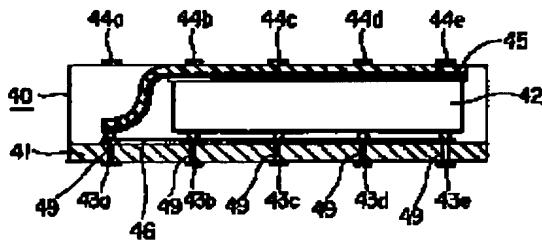
【0039】すなわち、積層した各半導体パッケージ60において、共通して入出力するデータ信号等は、端子62a、63a及び端子62b、63bを利用する他に、端子が不足したときには、端子62c、63c及び端子62f、63fを利用する。他方、チップ選択信号などの制御信号を所望のパッケージ60にのみ印加した場合には、前述したと同様にして、端子62c、63d及び端子62e、63fを利用する。この変形例は、端子を共通信号用としても、各別の制御信号用としても、兼用できる利点を有している。

【0040】さらに、第1信号回路をなす第1の端子及び第2の端子は1個ずつでもよいし、第3信号回路をなす第1の端子は複数個であってもよい。さらにまた、第1信号回路をなす一対の第1の端子及び第2の端子が、積層方向に重なり合う位置にあるという条件、及び、第2信号回路をなす一対の第1及び第2の端子が積層方向に重なり合わない位置にあるという条件は、複数の第2の信号回路のうちから選択された1つの回路が隣接する半導体パッケージの第3信号回路に接続するという条件を満足する限りにおいて変更可能である。

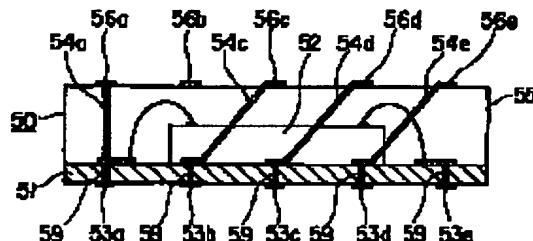
【0041】なお、本発明は上述した実施の形態に限定されるものではない。すなわち、上記実施の例では半導体ICとの接続では代表的な接続方法を用いて説明したが、実施例以外の接続方法でも良い。また、リジッド基板の代わりにフレキシブル基板を用いてもよい。このほか、本発明の要旨を逸脱しない範囲で種々変形実施可能であるのは勿論である。

#### 【0042】

【図3】



【図4】



【発明の効果】本発明の半導体パッケージによれば、これを多段に積層したとしても、ジャンパー線を用いたり、端子位置を変更した数種類の半導体パッケージを用いることなく、単純に多段積層した状態でも、積層した各半導体パッケージごとに、信号の入出力が可能である。これにより、基板占有面積を大幅に縮小することができ、高密度実装に寄与するところ大である。

【0043】一方、本発明の半導体パッケージの実装構造によれば、ジャンパー線を用いたり、端子位置を変更した数種類の半導体パッケージを用いることなく、各半導体パッケージを単純に積層しただけで、各半導体パッケージごとに信号の入出力が可能となる。これにより、基板占有面積を大幅に縮小することができ、高密度実装に寄与するところ大である。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態に係る半導体パッケージの実装構造を模式的に示す図。

【図2】同半導体パッケージを示す断面図。

【図3】同半導体パッケージの第1の変形例を示す断面図。

【図4】同半導体パッケージの第2の変形例を示す断面図。

【図5】同半導体パッケージの第3の変形例を模式的に示す図。

【図6】従来の卓上型の情報機器における半導体パッケージの高密度実装構造を示す図。

【図7】従来の半導体パッケージを模式的に示す図。

#### 【符号の説明】

10A～10D…半導体パッケージ

11…パッケージ本体

12a～12g…表面端子

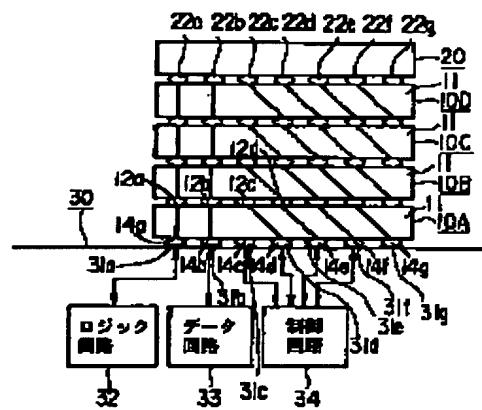
14a～14g…裏面端子

16…メモリIC

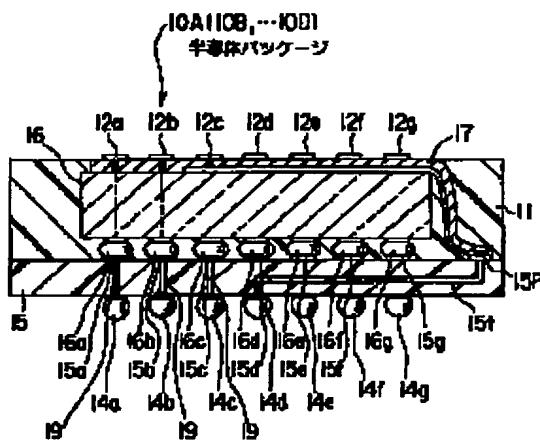
20…半導体パッケージ

30…プリント基板

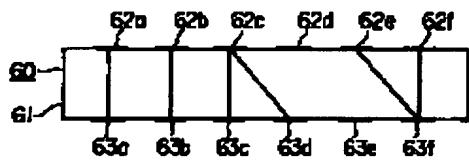
【図 1】



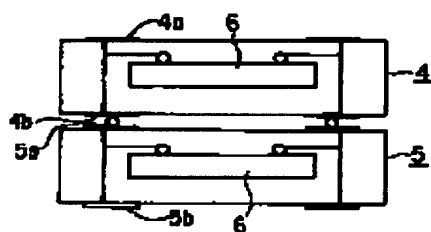
【図 2】



【図 5】



【図 7】



【図 6】

